



ATTORNEY'S DOCKET NO.: S1022.81055US00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Luc WUIDART  
Serial No.: 10/694,165  
Filed: October 27, 2003  
For: MONOTONOUS COUNTER USING MEMORY CELLS

Examiner: Unassigned  
Art Unit: Unassigned

Confirmation No. Unassigned

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir/Madam:

Transmitted herewith for filing is/are the following document(s):

- ☒ Certified Copy of French Priority Application No. 02/13458
- ☒ Return Post Card

If the enclosed papers are considered incomplete, the Mail Room and/or the Application Branch is respectfully requested to contact the undersigned collect at (617) 720-3500, Boston, Massachusetts.

No check is enclosed. If it is determined that a fee is necessary, the fee may be charged to the account of the undersigned, Deposit Account No. 23/2825. A duplicate of this sheet is enclosed.

**CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)**

I hereby certify that this document is being placed in the United States mail with first-class postage attached, addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on December 1, 2003.

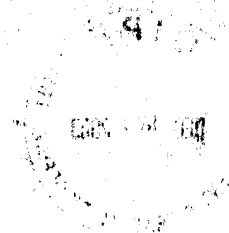
Attorney Docket No.: S1022.81055US00  
**XNDD**

Respectfully submitted,

*Luc Wuidart, Applicant*

By:

James H. Morris  
Reg. No.: 34,681  
WOLF, GREENFIELD & SACKS, P.C.  
600 Atlantic Avenue  
Boston, Massachusetts 02210  
Tel. (617) 720-3500





# BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

### COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 29 OCT. 2003

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint Petersburg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
[www.inpi.fr](http://www.inpi.fr)





26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

1er dépôt

**BREVET D'INVENTION**  
**CERTIFICAT D'UTILITÉ**  
Code de la propriété intellectuelle-Livre VI



**REQUÊTE EN DÉLIVRANCE 1/2**

Réservé à  
L'INPI

Cet imprimé est à remplir lisiblement à l'encre noire

<b>REMISE DES PIÈCES</b> DATE <b>28 OCT 2002</b> LIEU <b>38 INPI GRENOBLE</b> N° D'ENREGISTREMENT <b>0213458</b> NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE <b>28 OCT. 2002</b> PAR L'INPI		<b>1</b> NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE  <b>Cabinet Michel de Beaumont</b> <b>1 rue Champollion</b> <b>38000 GRENOBLE</b>	
Vos références pour ce dossier (facultatif) B5724			
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
<b>2</b> NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de Brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale ou demande de certificat d'utilité initiale		N° Date / /	
Transformation d'une demande de brevet européen		N° Date / /	
<b>3</b> TITRE DE L'INVENTION (200 caractères ou espaces maximum)  <b>COMPTEUR MONOTONE À BASE DE CELLULES MÉMOIRE</b>			
<b>4</b> DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date N° Pays ou organisation Date / / N° Pays ou organisation Date / / N° <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé "Suite"	
<b>5</b> DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé "Suite"	
Nom ou dénomination sociale		STMicroelectronics SA	
Prénoms			
Forme juridique		Société anonyme	
N° SIREN			
Code APE-NAF			
ADRESSE	Rue	29, Boulevard Romain Rolland	
	Code postal et ville	92120	MONTRouGE
Pays		FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

Réservé à  
 L'INPI

REMISE DES PIÈCES

 28 OCT 2002  
 DATE 38 INPI GRENOBLE

LIEU 0213458

N° D'ENREGISTREMENT

NATIONAL ATTRIBUÉ PAR L'INPI

Vos références pour ce dossier :

(facultatif) B5724

**6 MANDATAIRE**

Nom

Prénom

Cabinet ou Société

Cabinet Michel de Beaumont

N° de pouvoir permanent et/ou  
de lien contractuel

ADRESSE

Rue

1 Rue Champollion

Code postal et ville

38000

GRENOBLE

N° de téléphone (facultatif)

04.76.51.84.51

N° de télécopie (facultatif)

04.76.44.62.54

Adresse électronique (facultatif)

cab.beaumont@wanadoo.fr

**7 INVENTEUR (S)**

Les inventeurs sont les demandeurs

☐ Oui☒ Non

Dans ce cas fournir une désignation d'inventeur (s) séparée

**8 RAPPORT DE RECHERCHE**

Uniquement pour une demande de brevet (y compris division et transformation)

Établissement immédiat  
ou établissement différé☒☐

Paiement échelonné de la redevance

Paiement en trois versements, uniquement pour les personnes physiques

☐ Oui☒ Non**9 RÉDUCTION DU TAUX DES  
REDEVANCES**

Uniquement pour les personnes physiques

☐ Requête pour la première fois pour cette invention (joindre un avis de non-imposition)☐ Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou  
indiquer sa référence) :Si vous avez utilisé l'imprimé "Suite", indiquez  
le nombre de pages jointes**10 SIGNATURE DU DEMANDEUR  
OU DU MANDATAIRE**  
(Nom et qualité du signataire)Michel de Beaumont  
Mandataire n° 92-1016VISA DE LA PREFECTURE  
OU DE L'INPI
  
 D.R.G.

### COMPTEUR MONOTONE À BASE DE CELLULES MÉMOIRE

La présente invention concerne le domaine des compteurs et, plus particulièrement, les compteurs monotones dont la variation du compte est irréversible et dans un seul sens.

Aujourd'hui, pour réaliser des compteurs monotones croissants, on est contraint d'utiliser des éléments fusibles qui présentent l'inconvénient notable de conduire à une programmation destructrice souvent incompatible avec une programmation au cours de fonctionnement du circuit intégré contenant l'élément fusible. Un autre exemple concerne les mémoires EPROM ou EEPROM dont la fabrication requiert des étapes non directement compatibles avec une technologie CMOS.

De plus, dans les deux cas, l'état de programmation réalisé est soit effaçable (cas des EEPROM) soit visible optiquement, ce qui est préjudiciable dans des applications de type sécuritaire pour lesquelles on souhaite disposer d'un compte inviolable.

Un exemple d'application consiste à compter le nombre d'événements par rapport à un seuil limite d'événements (nombre d'utilisation d'un programme ou durée d'utilisation). Dans ce type d'application, on souhaite généralement disposer d'un compteur dont chaque bit prend successivement les états 0 ou 1 de façon irréversible pour fournir un mot binaire représentatif du nombre d'événements apparus. Par exemple, il peut s'agir de compter le

nombre d'accès à une mémoire de type flash. Dans cette application, pour remplir cette fonction de comptage par une mémoire flash elle-même, on doit monopoliser une surface très importante de la mémoire dans la mesure où la "granularité",  
5 c'est-à-dire le nombre minimal de cellules que l'on doit adresser pour une programmation irréversible, est importante. En pratique, pour utiliser en mémoire à programmation unique une région d'une mémoire flash, on doit réserver une capacité de l'ordre du kilobit pour obtenir huit bits de mémoire à programmation unique.  
10

Les autres techniques de cellules mémoire à programmation unique qui seraient susceptibles d'être utilisées dans des opérations de comptage monotone sont en pratique inexploitable. Par exemple, les cellules de type fusible ou anti-fusible  
15 requièrent des programmations par des courants destructeurs qui sont souvent incompatibles avec le produit en cours de fonctionnement.

La présente invention vise à proposer un compteur monotone qui pallie les inconvénients des compteurs classiques.

20 L'invention vise notamment à proposer une solution qui ne requiert pas de monopoliser une surface d'une mémoire flash importante pour remplir une fonction de compteur à programmation unique.

L'invention vise également à proposer une solution  
25 pour réaliser un compteur monotone dont le comptage soit compatible avec le fonctionnement d'un circuit intégré.

L'invention vise également à proposer la réalisation d'un compteur monotone en utilisant des technologies classiques de fabrication de type MOS.

30 Pour atteindre ces objets et d'autres, la présente invention prévoit un compteur monotone réalisé en circuit intégré, chaque bit de comptage étant fourni par une cellule mémoire contenant au moins un élément de mémorisation constitué d'une résistance en silicium polycristallin, programmable par  
35 diminution irréversible de sa valeur.



Selon un mode de réalisation de la présente invention, la programmation de ladite résistance est effectuée en la soumettant temporairement à un courant de contrainte supérieur à un courant pour lequel sa valeur présente un maximum.

5            Selon un mode de réalisation de la présente invention, le compteur comporte un circuit de décodage et des états contenus dans lesdites cellules pour fournir le compte résultant.

10           Selon un mode de réalisation de la présente invention, chaque cellule de comptage comporte, en parallèle entre deux bornes d'application d'une tension d'alimentation, deux branches comprenant chacune :

15           une première résistance de programmation en silicium polycristallin, connectée entre une première borne d'alimentation et une borne de lecture différentielle de l'état de la cellule ; et

            au moins un interrupteur de programmation reliant une desdites bornes de lecture à la deuxième borne d'alimentation.

20           Selon un mode de réalisation de la présente invention, chaque branche comporte un interrupteur de programmation.

            Selon un mode de réalisation de la présente invention, lesdites résistances de programmation sont deux résistances en silicium polycristallin identiques en taille et en dopage éventuel.

25           Selon un mode de réalisation de la présente invention, chaque cellule de comptage comporte un transistor de programmation en série avec une résistance de programmation.

30           Selon un mode de réalisation de la présente invention, le compteur comporte en outre un circuit de commande en programmation de chacune des cellules de comptage, propre à fournir des signaux de commande individuels aux interrupteurs de programmation.

35           Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à

titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1 illustre, par une vue partielle en perspective, un mode de réalisation d'une résistance en silicium polycristallin constituant l'élément de mémorisation d'une cellule de comptage selon l'invention ;

la figure 2 illustre, par un réseau de courbes, la programmation d'une cellule telle qu'illustrée par la figure 1 ;

la figure 3 représente un premier mode de réalisation d'une cellule de comptage selon la présente invention ;

la figure 4 représente un deuxième mode de réalisation d'une cellule de comptage selon la présente invention ;

la figure 5 représente un troisième mode de réalisation d'une cellule de comptage selon la présente invention ;

la figure 6 représente un mode de réalisation d'un circuit de décodage d'un compteur quatre bits selon la présente invention ; et

la figure 7 illustre un exemple d'application d'un compteur de l'invention à un circuit utilisant une mémoire flash.

Les mêmes éléments ont été désignés par les mêmes références aux différentes figures. Pour des raisons de clarté, seuls les éléments qui sont nécessaires à la compréhension de l'invention ont été représentés aux figures et seront décrits par la suite. En particulier, l'exploitation faite des résultats de comptage n'a pas nécessairement été détaillée, l'invention pouvant être mise en oeuvre quelle que soit la destination du résultat de comptage pourvu que l'on souhaite un compte monotone irréversible.

Une caractéristique de la présente invention est de réaliser un compteur monotone à partir d'autant de cellules de comptage que le compteur comprend de bits. De plus, selon l'invention, l'élément de mémorisation de chaque cellule de comptage est constitué d'une résistance en silicium polycristallin à programmation par diminution irréversible de sa valeur.

Cette caractéristique de l'invention ressortira de l'exposé des figures 1 et 2 qui va suivre et qui illustre les possibilités de programmation d'une résistance en silicium polycristallin exploitées par l'invention.

5 La figure 1 représente, par une vue partielle très schématique en perspective, un exemple de résistance en silicium polycristallin du type de celle utilisée dans une cellule de comptage selon l'invention.

Une telle résistance 1 est constituée d'une piste  
10 (dite aussi barreau) en silicium polycristallin obtenue par gravure d'une couche déposée sur un substrat 2 isolant. Le substrat 2 est indifféremment directement constitué du substrat du circuit intégré ou est constitué d'une couche isolante formant un substrat isolant ou équivalent pour la résistance 1.  
15 La résistance 1 est connectée, par ses deux extrémités, à des pistes conductrices (par exemple, métalliques) 3 et 4 destinées à raccorder le barreau résistif aux autres éléments du circuit intégré en fonction de l'application. La représentation schématique de la figure 1 ne fait pas référence aux différentes  
20 couches isolantes et conductrices constituant généralement le circuit intégré. Pour simplifier, on s'est contenté de représenter le barreau résistif 1 posé sur le substrat isolant 2 et en contact, par les extrémités de sa face supérieure, avec les deux pistes métalliques 3 et 4. En pratique, les liaisons de  
25 l'élément résistif 1 aux autres composants du circuit intégré sont obtenues par des pistes plus larges en silicium polycristallin partant des extrémités du barreau 1 dans l'alignement de celui-ci. En d'autres termes, l'élément résistif 1 est généralement formé en rendant un tronçon d'une piste en silicium poly-  
30 cristallin plus étroit que le reste de la piste.

La résistance R de l'élément 1 est donnée par la formule suivante :

$$R = \rho(L/s),$$

où  $\rho$  désigne la résistivité du matériau (silicium  
35 polycristallin le cas échéant dopé) constituant la piste dans

laquelle est gravé l'élément 1, où  $L$  désigne la longueur de l'élément 1, et où  $s$  désigne sa section, c'est-à-dire sa largeur  $l$  par son épaisseur  $e$ . La résistivité  $\rho$  de l'élément 1 dépend, entre autre, du dopage éventuel du silicium polycristallin le constituant. Dans certains cas, on recouvre l'élément de silicium polycristallin par une couche de métal, l'élément résistif combinant alors le silicium polycristallin et le métal sur-jacent.

Le plus souvent, lors de la réalisation d'un circuit intégré, on prévoit les résistances en faisant référence à une notion dite de résistance par carreau  $R_{\square}$  (square resistance). Cette résistance par carreau se définit comme étant la résistivité du matériau divisée par l'épaisseur avec laquelle il est déposé. En reprenant la relation ci-dessus donnant la résistance d'un élément 1, la résistance est donc donnée par la relation :

$$R = R_{\square} * L/l.$$

Le quotient  $L/l$  correspond à ce que l'on appelle le nombre de carreaux (square number) constituant l'élément résistif 1. Cela représente, vu de dessus, le nombre de carreaux de dimension donnée fonction de la technologie, mis côte à côte pour former l'élément 1.

La valeur de la résistance en silicium polycristallin est donc définie, à la fabrication, d'après les paramètres ci-dessus. Généralement, l'épaisseur  $e$  du silicium polycristallin est fixée par d'autres paramètres de fabrication du circuit intégré. Par exemple, cette épaisseur est fixée par l'épaisseur souhaitée pour les grilles des transistors MOS du circuit intégré.

Dans les technologies récentes, le recours à des résistances en silicium polycristallin est limité aux résistances devant être traversées, en fonctionnement, par des courants inférieurs à  $100 \mu A$ . Pour des courants supérieurs, on utilise généralement une résistance de diffusion. Le silicium polycristallin est toutefois préféré à une diffusion de dopants,

car on évite l'apparition de capacités parasites avec le substrat.

Pour diminuer irréversiblement la valeur d'une résistance en silicium polycristallin, on impose temporairement  
5 un courant dit de contrainte pour lequel la résistance passe par une valeur maximale, ce courant étant au-delà de la plage de courants de fonctionnement normal de cette résistance. En d'autres termes, on diminue la résistivité du silicium polycristallin dans la plage de courants de fonctionnement, de façon  
10 stable et irréversible, en imposant dans l'élément résistif correspondant la circulation d'un courant au-delà de la plage de courants de fonctionnement.

Le courant servant à diminuer la valeur de la résistance est, à la différence d'un élément fusible, non destructif  
15 pour l'élément en silicium polycristallin.

La figure 2 illustre, par un réseau de courbes donnant la résistance d'un élément en silicium polycristallin du type de celui représenté en figure 1 en fonction du courant le traversant, la façon de diminuer la résistance de cet élément.

On suppose que le silicium polycristallin ayant servi  
20 à la fabrication de l'élément résistif 1 présente une résistivité nominale conférant à l'élément 1, pour les dimensions  $l$ ,  $L$  et  $e$  données, une valeur de résistance  $R_{nom}$ . Cette valeur nominale (d'origine) de la résistance correspond à la valeur prise de façon stable par l'élément résistif 1 dans la plage de  
25 courants de fonctionnement du système, c'est-à-dire généralement pour des courants inférieurs à  $100 \mu A$ .

Pour diminuer la valeur de la résistance et passer, par exemple, de façon irréversible et stable à une valeur  $R_1$   
30 inférieure à  $R_{nom}$ , on applique aux bornes de l'élément résistif 1 un courant (par exemple  $I_1$ ), dit de contrainte, supérieur à un courant  $I_m$  pour lequel la valeur de la résistance  $R$  de l'élément 1 est maximale sans toutefois être infinie. Comme l'illustre la figure 2, une fois que ce courant  $I_1$  a été appliqué à l'élément  
35 résistif 1, on obtient, dans la plage  $A_1$  de courants de

fonctionnement du circuit intégré, une résistance stable de valeur  $R_1$ . En fait, l'allure  $S_{nom}$  de la résistance en fonction du courant est stable pour des courants relativement faibles (inférieurs à  $100 \mu A$ ). Cette allure se met à croître pour des courants sensiblement supérieurs de l'ordre de quelques milliampères, voire plus (plage A2). C'est dans cette plage de courants que l'allure  $S_{nom}$  passe par un maximum pour la valeur  $I_m$ . La résistance décroît ensuite progressivement. En figure 2, on a illustré une troisième plage A3 de courants correspondant à la plage généralement utilisée pour réaliser des fusibles. Il s'agit de courants de l'ordre du dixième d'ampère où la résistance se met à croître brusquement jusqu'à devenir infinie. Par conséquent, on peut considérer que l'invention utilise la plage intermédiaire A2 de courants entre la plage de fonctionnement A1 et la plage destructrice A3, pour diminuer de façon irréversible la valeur de la résistance ou plus précisément de la résistivité de l'élément en silicium polycristallin.

En effet, une fois passé le maximum de l'allure  $S_{nom}$  de la résistivité en fonction du courant, la valeur prise par la résistance dans la plage de courants de fonctionnement se trouve inférieure à la valeur  $R_{nom}$ . La nouvelle valeur, par exemple  $R_1$ , dépend de la valeur la plus élevée du courant (ici,  $I_1$ ) qui a été appliqué pendant la phase de diminution irréversible. On notera en effet que la diminution irréversible opérée par l'invention s'effectue dans une phase spécifique, hors du fonctionnement normal (plage A1) du circuit intégré, c'est-à-dire hors du fonctionnement normal de la résistance.

Une fois que la valeur de la résistance en silicium polycristallin a été abaissée vers une valeur inférieure (par exemple  $R_1$  en figure 2), on peut encore procéder à une diminution irréversible de cette valeur. Il suffit pour cela de dépasser le courant maximum  $I_1$  de la nouvelle allure  $S_1$  de la résistance en fonction du courant. Par exemple, on peut accroître la valeur du courant jusqu'à atteindre une valeur  $I_2$ . Quand le courant est alors de nouveau diminué, on obtient une

valeur  $R_2$  pour la résistance dans sa plage de fonctionnement normal. La valeur  $R_2$  est inférieure à la valeur  $R_1$  et, bien sûr, à la valeur  $R_{nom}$ .

On voit que toutes les allures de la résistance en  
5 fonction du courant se rejoignent sur la pente de décroissance de la valeur de la résistance, après être passées par le maximum de l'allure. Ainsi, pour un élément résistif donné ( $\rho$ ,  $L$ ,  $s$ ), les courants  $I_1$ ,  $I_2$ , etc. qui doivent être atteints, pour passer à une valeur de résistance inférieure, sont indépendants de la  
10 valeur de la résistance ( $R_{nom}$ ,  $R_1$ ,  $R_2$ ) à partir de laquelle on provoque la diminution.

Ce qui a été exprimé ci-dessus comme valeur de résistance correspond en fait à une diminution de la résistivité du silicium polycristallin constituant l'élément résistif. Les  
15 inventeurs considèrent que l'on assiste à une modification stable de la structure cristalline du silicium polycristallin et que l'on assiste, en quelque sorte, à un fluage du matériau, la structure cristalline finale obtenue dépendant du courant maximum atteint. En fait, le courant de contrainte provoque une  
20 élévation de température de l'élément en silicium, ce qui entraîne un fluage de celui-ci.

Bien sûr, on veillera à ne pas dépasser la plage de courants de paramétrage  $A_2$  (de l'ordre de quelques milliampères) afin de ne pas risquer de détruire la résistance en silicium  
25 polycristallin. Cette précaution ne posera en pratique pas de problème dans la mesure où l'utilisation du silicium polycristallin pour constituer un fusible requiert des courants nettement plus élevés (de l'ordre du dixième d'ampère) qui ne sont pas disponibles une fois le circuit fabriqué.

30 La réalisation pratique d'une résistance en silicium polycristallin ne diffère pas de la réalisation d'une résistance classique. Partant d'un substrat isolant, on dépose une couche de silicium polycristallin que l'on grave en fonction des dimensions souhaitées pour la résistance. Comme l'épaisseur de  
35 silicium polycristallin déposée est généralement fixée par la

technologie, les deux dimensions que l'on peut régler sont la largeur et la longueur. Généralement, on redépose un isolant sur le barreau de silicium polycristallin ainsi obtenu. Dans le cas d'une interconnexion en ligne, on aura modifié la largeur  $l$  par rapport aux pistes d'accès plus larges pour être fortement conductrices. Dans le cas d'un accès aux extrémités du barreau par le dessus comme cela est illustré en figure 1, on réalisera des vias dans l'isolant sur-jacent (non représenté) du barreau de silicium polycristallin pour connecter des pistes métalliques 3 et 4 de contact.

En pratique, pour disposer de la capacité de réglage de résistance la plus importante avec un courant de contrainte minimum, on cherchera à utiliser une épaisseur minimale et une largeur minimale pour les éléments résistifs. Dans ce cas, seule la longueur  $L$  conditionne la valeur nominale de la résistance une fois la structure du silicium polycristallin fixée. Le dopage éventuel du silicium polycristallin, quel que soit son type, n'entrave pas la mise en oeuvre de l'invention. La seule différence liée au dopage est la résistivité nominale avant contrainte et les résistivités obtenues pour des courants de contraintes donnés. En d'autres termes, pour un élément de dimensions données, cela conditionne le point de départ de la valeur de la résistance, et par voie de conséquence, les valeurs de résistance obtenues pour des courants de contrainte donnés.

Pour passer de la valeur nominale à une valeur de résistance ou résistivité inférieure, ou pour passer d'une valeur donnée (inférieure à la valeur nominale) à une valeur encore inférieure, on peut utiliser plusieurs méthodes.

Par exemple, on fait croître progressivement (pas à pas) le courant dans la résistance. Après chaque application d'un courant supérieur, on revient dans la plage de courants de fonctionnement et on mesure la valeur de la résistance. Tant que le point  $I_m$  de courant n'est pas atteint, cette valeur de résistance restera à la valeur  $R_{nom}$ . Dès que le point  $I_m$  en courant est dépassé, on change de courbe (allure  $S$ ) et la valeur



mesurée lorsque l'on repasse sur les courants de fonctionnement devient une valeur inférieure à la valeur  $R_{nom}$ . Si cette nouvelle valeur convient, on en reste là. Dans le cas contraire, on réapplique des courants supérieurs pour dépasser la nouvelle  
5 valeur maximale de l'allure courante. Dans ce cas, il n'est pas nécessaire de repartir des courants minimaux comme lorsque l'on démarre de la résistance nominale. En effet, la valeur du courant pour laquelle la résistance va de nouveau diminuer est forcément supérieure à la valeur du courant de contrainte  $I_1$   
10 appliqué pour passer sur l'allure courante. La détermination du pas à appliquer est à la portée de l'homme du métier et n'est pas critique en ce qu'elle conditionne essentiellement le nombre de diminutions possibles. Plus le pas est élevé, plus les sauts entre les valeurs seront importants.

15 Selon un autre exemple préféré, on prédétermine, par exemple par mesures, les différents courants à appliquer pour passer des différentes valeurs de résistance à des valeurs inférieures. Cette prédétermination tient compte bien entendu de la nature du silicium polycristallin utilisé ainsi que  
20 préférentiellement de la résistance par carreau c'est-à-dire de la résistivité du matériau et de l'épaisseur dans laquelle il est déposé. En effet, comme les allures illustrées par la figure 2 peuvent également être lues comme allure de la résistance par carreau, on est en mesure de transposer les valeurs calculées  
25 aux différentes résistances d'un circuit intégré définies par les largeurs et longueurs des tronçons résistifs. Selon ce deuxième mode de mise en oeuvre, on est alors en mesure de prédéterminer la valeur du courant de contrainte à appliquer à l'élément résistif pour diminuer, de façon irréversible et  
30 stable, sa valeur.

Le changement de courbes, c'est-à-dire la diminution de la valeur de résistance en fonctionnement normal est quasi immédiate dès que le courant de contrainte correspondant est appliqué. Par quasi-immédiat, on entend une durée de quelques  
35 dizaines voir centaines de microsecondes qui suffisent pour

appliquer la contrainte correspondante au barreau de silicium polycristallin et diminuer la valeur de sa résistance. Cette valeur empirique dépend de la taille (physique) du barreau. On pourra choisir une durée de quelques millisecondes par sécurité.

5 De plus, on peut considérer que, une fois la durée minimale atteinte, toute durée supplémentaire d'application du courant de contrainte ne modifie pas, au moins au premier ordre, la résistance atteinte. En outre, même si dans une application particulière on considère ne pas pouvoir négliger l'influence de la

10 durée d'application de la contrainte, les deux méthodes sont parfaitement compatibles avec la prise en compte de la durée d'application de la contrainte.

La figure 3 représente un premier mode de réalisation d'une cellule de comptage à programmation unique (ou cellule

15 mémoire) selon l'invention.

La cellule 11 comporte, en série avec une première borne 12 d'application d'un potentiel positif d'alimentation et une deuxième borne 13 d'application d'un potentiel plus négatif d'alimentation  $V_-$  ou de référence (généralement, la masse), une

20 résistance programmable  $R_p$  par diminution irréversible telle que décrite ci-dessus en relation avec les figures 1 et 2 et un interrupteur de programmation ici un transistor MOS à canal N (MN). La résistance  $R_p$  constitue l'élément de mémorisation de la cellule 11. L'état stocké dans cette cellule est lu sur le point

25 milieu 14 de l'association en série de la résistance  $R_p$  avec le transistor MN. La lecture du niveau mémorisé s'effectue par comparaison par rapport à un niveau de référence.

Pour permettre la lecture de l'état mémorisé dans la cellule 11, on prévoit une résistance  $R_b$  (représenté en

30 pointillés en figure 3) qui, lorsque le transistor MN est ouvert constitue avec la résistance  $R_p$  un pont diviseur de tension. La résistance  $R_b$  a été représentée en pointillés pour illustrer son caractère optionnel. En effet, celle-ci pourra être constituée par le transistor MN alors polarisé dans une partie linéaire de

35 sa caractéristique et non en saturation.

Le transistor MN, lorsqu'il est passant, court-circuite (au moins fonctionnellement) la résistance fixe  $R_b$  et sert à programmer la résistance  $R_p$  en imposant la circulation d'un courant dans celle-ci. Le courant de programmation de la  
5 résistance  $R_p$  est supérieur au courant pour lequel cette résistance présente une valeur maximale déterminée comme cela a été exposé précédemment en relation avec les figures 1 et 2.

La plage nominale des courants de fonctionnement d'une résistance en silicium polycristallin utilisée selon l'invention  
10 est inférieure à la centaine de microampères et, le plus souvent, inférieure à la dizaine de microampères. L'amplitude des courants de programmation est de l'ordre du milliampère.

La programmation d'une cellule telle qu'illustrée par la figure 3 est rendue possible en prévoyant une sélection du  
15 potentiel positif d'alimentation appliqué à la borne 12 entre un potentiel  $V_r$  de lecture (propre à engendrer un courant de l'ordre du microampères) et un potentiel  $V_p$  de programmation (propre à engendrer un courant de l'ordre du milliampères). La sélection est opérée au moyen d'un interrupteur K commandé par  
20 un circuit 15 de commande (CTRL) fournissant par ailleurs le signal de commande adapté au transistor MN.

L'opération de comptage consiste à provoquer la diminution irréversible de la valeur de la résistance  $R_p$  en lui appliquant un courant de contrainte. En lecture, la comparaison  
25 du potentiel d'une cathode par rapport à une valeur de référence permet de déterminer si la cellule de comptage contient un état 0 ou un état 1.

La figure 4 représente un deuxième mode de réalisation d'une cellule de comptage 11' selon l'invention. Cette cellule  
30 diffère de la cellule de la figure 3 par le fait que le transistor de programmation MP utilisé est un transistor MOS à canal P. Le transistor MP est connecté entre la borne 12 et le point 14 de lecture. La résistance de programmation  $R_p$  est connectée entre le point 14 et la borne 13 d'application du  
35 potentiel de référence. En figure 4, l'interrupteur K et le

circuit de commande 15 bien que toujours présents, n'ont pas été représentés. La résistance  $R_b$  en pointillés a été symbolisée en parallèle sur le transistor MP.

5 Le fonctionnement d'une cellule 11' telle que représentée en figure 4 est similaire à celui de la cellule 11 de la figure 3. Cette dernière constitue cependant un mode de réalisation préféré en raison du moindre encombrement du transistor MOS à canal N par rapport au transistor MOS à canal P.

10 La figure 5 représente un troisième mode de réalisation d'une cellule 11" de comptage irréversible selon la présente invention. La différence essentielle par rapport aux cellules de comptage représentées aux figures 3 et 4 est que la structure de la figure 5 est une structure différentielle ne  
15 recourant donc pas de potentiel de référence pour effectuer la comparaison permettant de détecter l'état stocké dans la cellule.

La cellule 11" de la figure 5 comporte deux branches résistives en parallèle entre deux bornes 12 et 13 d'alimentation, deux interrupteurs de programmation MN1 et MN2 (dans cet  
20 exemple, des transistors MOS à canal N), un circuit de commande 25 (CTRL) et un sélecteur K entre deux tensions d'alimentation, respectivement de lecture  $V_r$  et de programmation  $V_p$ . La programmation d'une cellule telle qu'illustrée par la figure 5  
25 s'effectue de façon similaire à celle des cellules des figures 3 et 4. Ce qui change ici, c'est la structure de la cellule pouvant permettre la lecture.

Dans le mode de réalisation de la figure 5, une première branche, dite gauche dans l'orientation de la figure  
30 comporte en série, une première résistance  $R_{p1}$ , un transistor MOS de lecture MNR1, et un transistor MOS de sélection MNS1. L'interconnexion entre la résistance  $R_{p1}$  et le transistor MNR1 constitue une première borne S de sortie dite arbitrairement directe (non inversée). La borne S correspond également au point  
35 24 de liaison de la résistance  $R_{p1}$  au transistor de program-

mation MN1. Une deuxième branche dite droite dans l'orientation de la figure, comporte en série, une deuxième résistance Rp2, un transistor MOS de lecture MNR2 et un transistor MOS de sélection MNS2. L'interconnexion entre la résistance Rp2 et le transistor  
5 MNR2 (donc le drain de ce transistor) constitue une deuxième borne NS de sortie inverse par rapport à la borne S. La sortie NS correspond également au point 26 de liaison de la résistance Rp2 au transistor de programmation MN2. La grille du transistor MNR2 est reliée à la borne 24 tandis que la grille du transistor  
10 MNR1 est reliée à la borne 26 pour obtenir l'effet d'un bistable. Les grilles des transistors MNS1 et MNS2 sont reliées ensemble à une borne R destinée à recevoir un signal de sélection en lecture de la cellule de comptage. Ce signal correspond, de préférence, au signal de sélection de la cellule  
15 de comptage dans un agencement unidirectionnel de plusieurs cellules. Il est alors fourni par le décodeur de colonnes ou de lignes adapté. Dans l'exemple représenté, tous les transistors sont à canal N.

Le fonctionnement en lecture d'une cellule selon ce mode de réalisation est le suivant. Le circuit 25 provoque la  
20 commutation du sélecteur K vers le potentiel Vr. De préférence, il s'agit de son état de repos dans la mesure où l'autre état ne sert qu'en programmation (donc, en principe, une seule fois par cellule). La borne d'entrée R reçoit le signal (actif à l'état  
25 haut) de sélection (ou de configuration de lecture) de la cellule, rendant conducteur les deux transistors MNS1 et MNS2.

Il en découle qu'une des bornes MNS voit son potentiel croître plus vite que l'autre. Ce déséquilibre provient de la différence de valeur entre les résistances Rp1 et Rp2. Il  
30 provoque la conduction d'un des transistors MNR1 et MNR2. En raison du croisement des grilles de ces transistors, celui qui conduit le premier est celui dont la grille participe au chemin électrique (depuis la borne 12) de constante de temps la plus faible (la résistance de valeur la plus faible engendre une  
35 constante de temps plus faible), donc celui dont le potentiel de

drain croît moins vite que l'autre. Une fois conducteur, ce transistor MNR force son drain (donc la borne de sortie S ou NS correspondante) à la masse 13, ce qui confirme le blocage du transistor MNR de l'autre branche, donc l'état haut sur la borne de sortie correspondant.

La programmation d'une cellule selon ce mode de réalisation s'effectue de la même manière que pour les deux premiers modes de réalisation, à l'aide d'un des transistors MN1 et MN2. Toutefois, les transistors MNS1 et MNS2 de la cellule de comptage doivent être bloqués lors de la programmation (entrée R au niveau bas). Ils servent à protéger les transistors de lecture MNR1 et MNR2 en rendant leurs sources flottantes, évitant ainsi l'apparition de tensions grille-source destructrices en raison de la tension d'alimentation  $V_p$ . De plus, en déconnectant les transistors MNR par leurs sources, les transistors MNS empêchent qu'ils voient, entre drain et source, la tension élevée  $V_p$ . Par conséquent, les transistors MNR et MNS peuvent être dimensionnés en fonction de la tension de lecture  $V_r$ . Seuls les transistors de programmation MN ont besoin d'être dimensionnés pour tenir la tension  $V_p$  et supporter le courant relativement élevé (par rapport à la plage de fonctionnement en lecture) servant à programmer la cellule.

Comme pour le mode de réalisation de la figure 3, celui de la figure 5 s'applique également à des transistors MOS à canal P. La transposition du mode de réalisation de la figure 5 à des transistors MOS à canal P est à la portée de l'homme du métier.

Selon une variante de réalisation, on pourra utiliser une seule tension d'alimentation pour la cellule de comptage. On évite ainsi la sélection de la tension d'alimentation entre les niveaux  $V_p$  et  $V_r$ . Dans ce cas, on choisit une tension d'alimentation suffisante pour imposer la contrainte souhaitée à la programmation des résistances  $R_{p1}$  et  $R_{p2}$  (figure 5), ou de la résistance  $R_p$  (figures 3 et 4). Les dimensions des transistors sont alors choisies en conséquence.

La figure 6 représente un mode de réalisation d'un compteur sur quatre bits associé à son circuit de décodage.

Les quatre bits B1, B2, B3 et B4 du compteur sont individuellement fournis par une cellule 11 (ou 11', ou 11'') dont l'élément de stockage est constitué d'au moins une résistance en silicium polycristallin telle que décrite ci-dessus. En figure 6, la structure des cellules de comptage n'a pas été détaillée de même que les différents signaux de commande CTRL en programmation et en sélection. Dans l'exemple de la figure 6, on peut supposer que les quatre bits sont arrangés en une ligne de cellules 11 qui sont toutes lues simultanément pour fournir chacune, sur sa sortie respective S1 à S4, la valeur 0 ou 1 du bit stocké dans la cellule.

Le nombre de cellules à l'état 0 et à l'état 1 est détecté par un circuit 30 de décodage. Ce circuit 30 pourra être réalisé de diverses façons selon l'exploitation faite des résultats de comptage. La figure 6 illustre un exemple pratique pour démontrer la faisabilité d'un tel circuit.

Dans cet exemple, les quatre sorties respectives des cellules de comptage sont reliées aux entrées respectives de dix portes logiques à quatre entrées parmi lesquelles une porte 31 de type NON-ET (NAND) et neuf portes 32 à 40 de type ET (AND). La porte 31 reçoit directement les états des sorties S1 à S4, de même que la porte 40 reçoit directement les états des sorties S1 à S4. Les portes 32 à 35 reçoivent trois des sorties S1 à S4 inversées et la sortie restante en direct, le rang de la sortie directe changeant pour chaque porte. Les portes 36 à 39 reçoivent trois des sorties S1 à S4 directement et la dernière sortie de façon inversée, le rang de la sortie inversée changeant à chacune des portes 36 à 39.

La sortie C0 de la porte 31 indique, par un état haut, le fait que toutes les cellules 11 stockent un état bas, donc un compte à zéro.

Les sorties des portes 32 à 35 sont combinées par une porte 41 de type OU (OR) à quatre entrées dont la sortie fournit

un compte C1 indicateur qu'une seule des cellules de comptage est à l'état 1.

Les sorties des portes 36 à 39 sont reliées aux quatre entrées respectives d'une porte 42 de type OU (OR) dont la  
5 sortie fournit un compte C3 indicateur que trois des quatre cellules sont à l'état 1.

La sortie de la porte 40 fournit directement un compte C4 indicateur d'un état 1 des quatre cellules.

Les sorties respectives des portes 31, 41, 42 et 40  
10 sont combinées par une porte 43 de type NON-OU (NOR) dont la sortie fournit un compte C2 indicateur que deux des cellules sont à l'état 1.

Du circuit 30 de décodage ci-dessus on voit bien qu'avec quatre cellules de comptage à résistance en silicium polycristallin, on est capable d'obtenir cinq états de comptage  
15 (de 0 à 4). Pour chaque cellule de comptage 11 supplémentaire, on ajoute une unité de compte.

Un avantage de la présente invention est qu'elle permet la réalisation d'un compteur monotone parfaitement fiable  
20 et dont la programmation ne s'accompagne pas d'une destruction des cellules de comptage.

Un autre avantage de la présente invention est que le compte stocké dans l'ensemble de cellules de comptage est invisible, en ce sens qu'il n'est pas détectable optiquement  
25 comme ce serait le cas pour un compteur réalisé à partir de cellules fusibles. Cet avantage et le caractère irréversible du compteur sont particulièrement intéressants dans des applications sécuritaires.

L'exemple de la figure 6 montre le cas d'un compteur  
30 monotone croissant. On notera toutefois que, selon le circuit de décodage utilisé, on peut obtenir un compte décroissant.

La figure 7 illustre un exemple d'application d'un compteur 40 selon l'invention dans un circuit utilisant une mémoire flash 41. En figure 7, on s'est contenté de représenter  
35 une unité centrale de traitement 42, dont au moins une partie



d'un programme de fonctionnement est stocké dans une mémoire à lecture seule 43 (ROM), dont au moins des données sont stockées dans une mémoire vive 44 (RAM), ainsi que trois bus partagés d'adresse ADD, de données DATA et de commande CTRL.

5 Les différents éléments 40 à 44 communiquent entre eux par l'intermédiaire des bus d'adresse de données et de commande. Dans cet exemple d'application, le compteur 40 (OTP COUNT) de l'invention sert à décompter ou compter des événements de façon irréversible, à la place de ce qui est effectué classiquement  
10 par une mémoire flash 41. Un avantage notable est alors que le comptage 40 s'effectue bit à bit, ce qui requiert une surface nettement moins importante que la programmation d'une mémoire flash de façon irréversible.

Un autre avantage de l'invention est qu'à la  
15 différence d'une programmation de mémoire flash qui est réversible, le compteur de l'invention apporte une irréversibilité de la programmation effectuée.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme  
20 de l'art. En particulier, celle-ci s'applique quelle que soit l'exploitation faite du compte obtenu. De plus, les dimensions à donner aux différentes résistances, transistors et potentiels d'alimentation et de lecture sont à la portée de l'homme du métier à partir des indications fonctionnelles données ci-dessus  
25 et de l'application souhaitée. En outre, le nombre de bits prévus dans le compteur n'est pas limité. Enfin, d'autres structures de cellules de comptage que celles illustrées aux figures 3 à 5, peuvent être envisagées pourvu de respecter le recours à au moins un élément de mémorisation résistif en  
30 silicium polycristallin, programmable par diminution irréversible de sa valeur. On pourra notamment s'inspirer d'une structure de cellule mémoire classique, en l'adaptant à l'utilisation d'un tel élément de mémorisation.

REVENDICATIONS

1. Compteur monotone réalisé en circuit intégré, caractérisé en ce que chaque bit de comptage est fourni par une cellule mémoire (11, 11' ; 11'') contenant au moins un élément de mémorisation (Rp ; Rp1, Rp2) constitué d'une résistance en silicium polycristallin, programmable par diminution irréversible de sa valeur.

2. Compteur selon la revendication 1, caractérisé en ce que la programmation de ladite résistance (Rp ; Rp1, Rp2) est effectuée en la soumettant temporairement à un courant de contrainte supérieur à un courant pour lequel sa valeur présente un maximum.

3. Compteur selon la revendication 1 ou 2, caractérisé en ce qu'il comporte un circuit (30) de décodage et des états contenus dans lesdites cellules (11, 11' ; 11'') pour fournir le compte résultant.

4. Compteur selon l'une quelconque des revendications 1 à 3, caractérisé en ce que chaque cellule de comptage (11'') comporte, en parallèle entre deux bornes (12, 13) d'application d'une tension d'alimentation (Vp, Vr), deux branches comprenant chacune :

une première résistance de programmation (Rp1, Rp2) en silicium polycristallin, connectée entre une première borne d'alimentation (12) et une borne de lecture différentielle (24, 26) de l'état de la cellule ; et

au moins un interrupteur de programmation (MN1, MN2) reliant une desdites bornes de lecture à la deuxième borne d'alimentation (13).

5. Compteur selon la revendication 4, caractérisé en ce que chaque branche comporte un interrupteur de programmation.

6. Compteur selon la revendication 4 ou 5, caractérisé en ce que lesdites résistances de programmation (Rp1, Rp2) sont deux résistances en silicium polycristallin identiques en taille et en dopage éventuel.

7. Compteur selon l'une quelconque des revendications 1 à 4, caractérisé en ce que chaque cellule de comptage (11, 11') comporte un transistor de programmation (MN, MP) en série avec une résistance de programmation (Rp).

- 5        9. Compteur selon l'une quelconque des revendications 1 à 8, caractérisé en ce qu'il comporte en outre un circuit de commande en programmation de chacune des cellules de comptage (11, 11' ; 11''), propre à fournir des signaux de commande individuels aux interrupteurs de programmation.

7. Compteur selon l'une quelconque des revendications 1 à 4, caractérisé en ce que chaque cellule de comptage (11, 11') comporte un transistor de programmation (MN, MP) en série avec une résistance de programmation (Rp).

5            8. Compteur selon l'une quelconque des revendications 1 à 7, caractérisé en ce qu'il comporte en outre un circuit de commande en programmation de chacune des cellules de comptage (11, 11' ; 11"), propre à fournir des signaux de commande individuels aux interrupteurs de programmation.

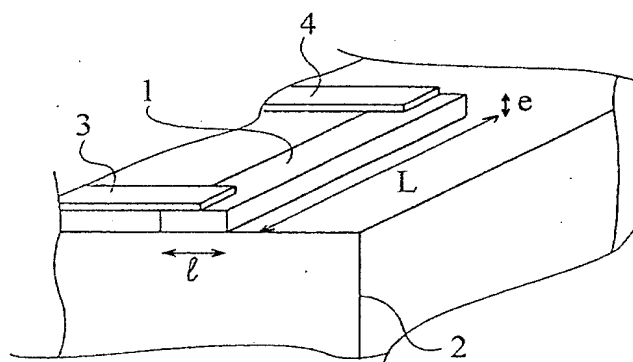


Fig 1

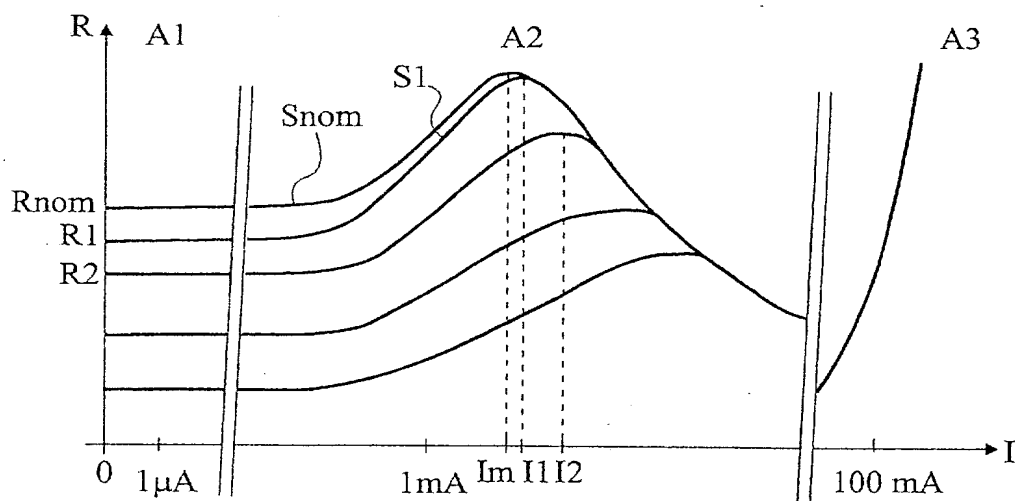


Fig 2

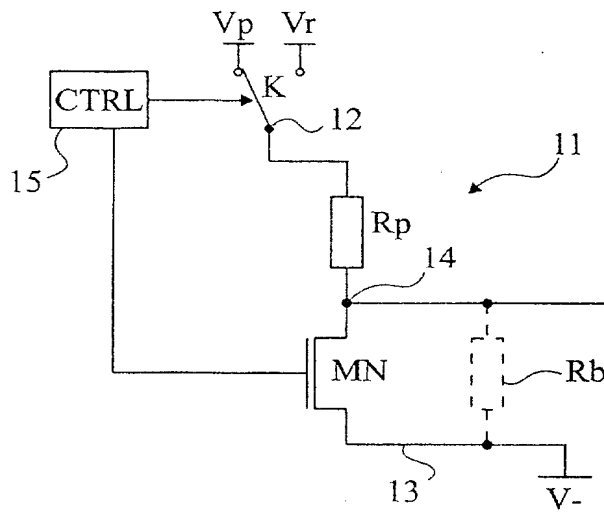


Fig 3

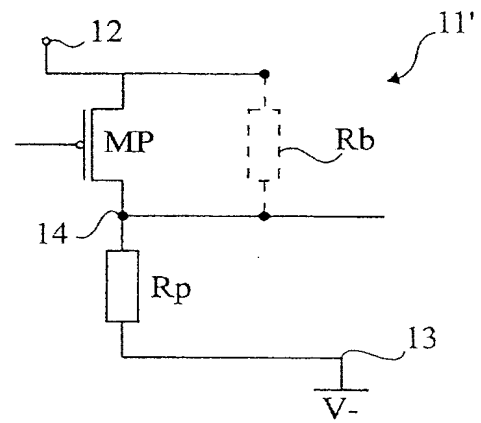


Fig 4

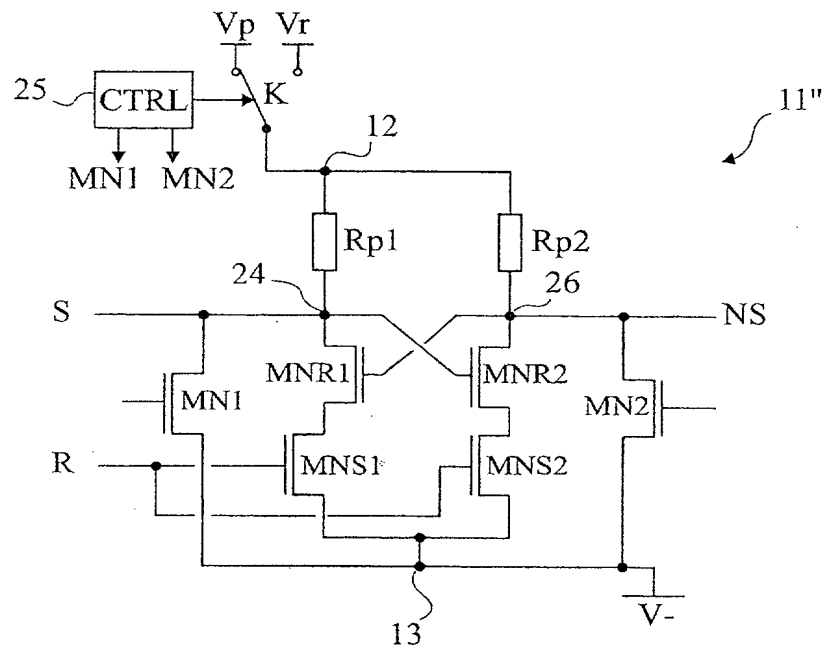


Fig 5

3/4

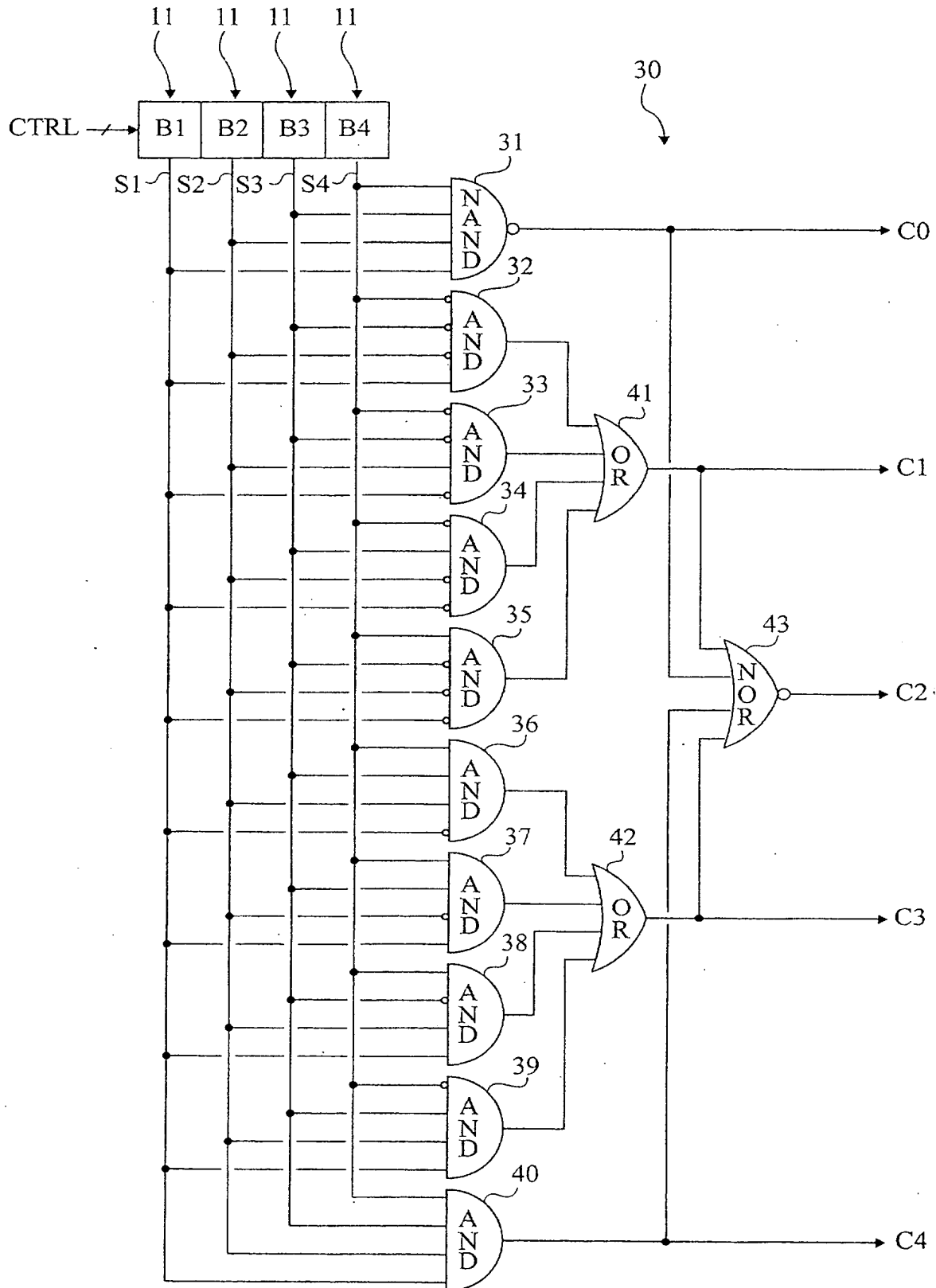


Fig 6

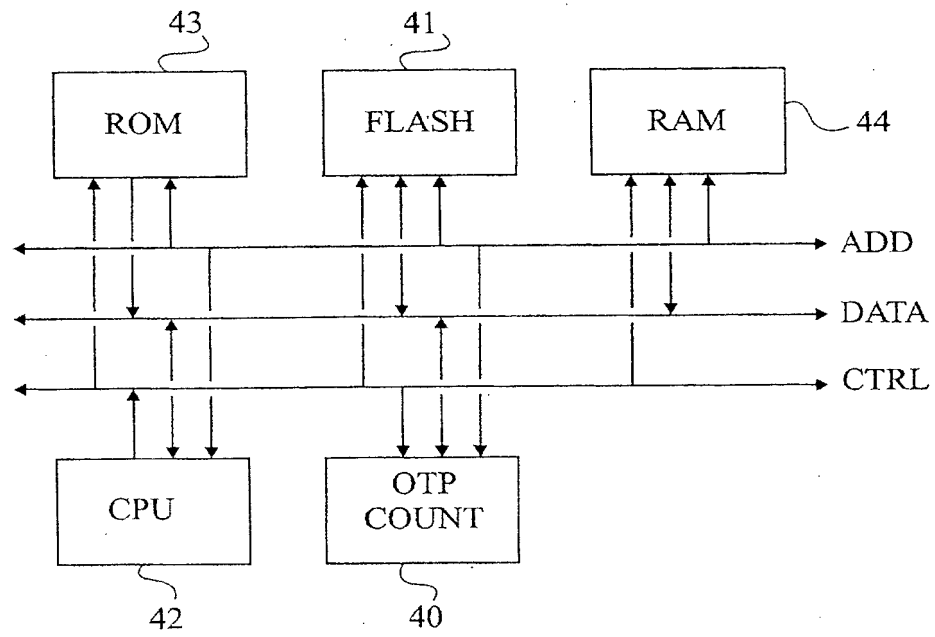


Fig 7





DÉPARTEMENT DES BREVETS  
26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

## BREVET D'INVENTION,

## CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle-Livre VI



DÉSIGNATION D'INVENTEUR(S) PAGE N°1/ 1

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)		B5724	
N° D'ENREGISTREMENT NATIONAL		02 13458	
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
COMPTeur MONOTONE À BASE DE CELLULES MÉMOIRE			
LE(S) DEMANDEUR(S) :			
STMicroelectronics SA			
DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Luc Wuidart	
ADRESSE	Rue	12, Lotissement Le Cade	
	Code postal et ville	83910	POURRIERES, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)			
Michel de Beaumont Mandataire n° 92-1016 Le 28 octobre 2002			

